

**Delphion Intellectual Property Network**[PM Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)**JP7221631A2: CMOS CIRCUI**[No Image](#) | [View INPADOC only](#)Country: **JP Japan**

Kind:

Inventor(s): **AVERY STEVEN C
DICKINSON ALEXANDER G
GABARA THADDEUS J
KRAMER ALAN H**Applicant(s): **AT & T CORP**
[News, Profiles, Stocks and More about this company](#)Issued/Pat. Date: **Aug. 18, 1995 / Jan. 4, 1995**Application Number: **JP1995000013282**IPC Class: **H03K 19/096; H01L 27/04; H01L 21/822; H03K 19/003; H03K 19/0948;**Priority Number(s): **Dec. 30, 1993 US1993000175709**

Abstract:

Purpose: To provide a CMOS circuit from which the number of devices in use is reduced and which can give multiple outputs as required and, at the same time, behaves in adiabatic fashion by quasi-static resistance dissipation.

Constitution: A CMOS logic circuit which is supplied with electric power through clock signals can behave in an adiabatic fashion due to the addition of a strategically arranged diodes. The CMOS logic circuit in this embodiment is composed of a pair of switching diodes connected in series with clock input signals. The diodes is connected to a pair of input clocks. Each input clock is shifted in phase by 180° from each other in a complementary form. While the diodes are connected to a CMOS circuit, only the phase of one input clock is used for driving the circuit. In either cases, the CMOS circuit exhibits quasi- static resistance dissipation and, accordingly, behaves in an adiabatic fashion. The additional requirement is that a clock is necessary for transferring data between gates.

COPYRIGHT: (C)1995,JPO

Family:

[Show 14 known family members](#)Order Abstract Info: **DERABS G95-214775**Foreign References: **(No patents reference this one)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221631

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

H 0 3 K 19/096

H 0 1 L 27/04

21/822

識別記号

庁内整理番号

B 8839-5 J

F I

技術表示箇所

H 0 1 L 27/04

F

H 0 3 K 19/094

B

8839-5 J

審査請求 未請求 請求項の数3 FD (全6頁) 最終頁に続く

(21) 出願番号 特願平7-13282

(22) 出願日 平成7年(1995)1月4日

(31) 優先権主張番号 1 7 5 7 0 9

(32) 優先日 1993年12月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨ

ーク ニューヨーク アヴェニュー オブ

ジ アメリカズ 32

(72) 発明者 スティーブン シー. アベリ

オーストラリア、シルバニア エヌエスダ

ブリュ 2224、マーチソン ストリート

7

(74) 代理人 弁理士 三俣 弘文

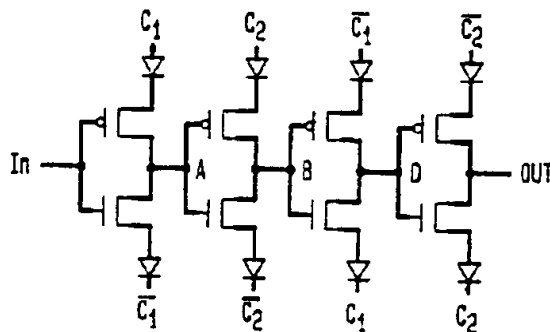
最終頁に続く

(54) 【発明の名称】 CMOS回路

(57) 【要約】

【目的】 CMOS論理回路において、使用するデバイス総数を減少させ、場合により多重出力を与えると同時に、準静的抵抗散逸により断熱的挙動を実現する。

【構成】 クロック信号により電力を供給されるCMOS論理回路であり、戦略的に配置されたダイオードの付加により、回路は断熱的に挙動することができる。実施例の回路は、クロック入力信号と直列に結合されたスイッチングダイオードからなる。一対のダイオードは一対の入力クロックと結合される。各入力クロックは、相補的な形で他のものと位相が180°ずれる。また、一対のダイオードはCMOS回路に結合されるが、この場合、入力クロックの1つの位相だけが回路の駆動に使用される。いずれの場合でも、CMOS回路は準静的抵抗散逸を示し、従って、断熱的に挙動する。追加要件は、ゲート間でデータを転送するクロックが必要なことである。



1

【特許請求の範囲】

【請求項1】 電力供給手段としてクロック入力信号を使用するCMOS回路において、前記CMOS回路を準静的抵抗散逸作用を発揮可能にする回路であり、前記回路は前記クロック入力信号と直列に結合されたスイッチングダイオードからなることを特徴とするCMOS回路。

【請求項2】 入力データ信号を出力データ信号にシフトするCMOSシフトレジスタであり、前記シフトレジスタはそのクロック信号から電力を供給され、準静的抵抗散逸作用を発揮することができ、前記回路は直列に結合された n 個のシフトステージからなり、各ステージは $p\text{fet}$ 、 $n\text{fet}$ 、第1のダイオードおよび第2のダイオードからなり、

$n\text{fet}$ のゲートおよび $p\text{fet}$ のゲートは一緒に結合されて、入力リードを形成し、 $p\text{fet}$ のソースは第1のダイオードのカソードに結合され、 $p\text{fet}$ のドレインは $n\text{fet}$ のドレインに結合されて出力リードを形成し、 $n\text{fet}$ のドレインは第2のダイオードのアノードに結合され、

第1のダイオードのアノードは第1のクロック信号により電力供給され、第2のダイオードのカソードは第1のクロック信号の補数により電力供給され、

第1のステージの入力リードは入力データ信号であり、 n 番目のステージの出力リードは出力データ信号であり、各ステージの出力リードは次のステージの入力データに結合され、前記直列シフトレジスタを形成し、各ステージに電力供給するクロックは次のステージから位相が 90° ずれていることを特徴とするCMOSシフトレジスタ。

【請求項3】 ブール論理NAND演算を行うように結合された、一対の $n\text{fet}$ と一対の $p\text{fet}$ からなり、断熱的な動作を行うために、一対のダイオードがNANDゲートに直列に結合されていることを特徴とするクロック信号により電力供給されるCMOSゲート。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は携帯型電子装置で使用するのに適した低電力散逸CMOS回路に関する。さらに詳細には、本発明は準安定抵抗散逸のために回路内に結合されたダイオードを使用し、多重出力セーブ機能を実現するCMOS回路に関する。

【0002】

【従来の技術】 多くの電子システムにおいて低電力回路は望ましい機能である。携帯型の、限られた電源しか有しない電子システムでは特に望ましい。電力散逸が論争の種であったとき、既にCMOSはエミッタ結合論理(ELC)、バイポーラおよびその他の回路技術の魅力的な代替手段であった。

【0003】 しかし、サブミクロン範囲におけるCMO 50

2

S設計特徴および対応するスイッチング周波数の増大により、CMOSにおける電力散逸も現在では大きな関心事となっている。最近の幾つかの集積回路設計は数十ワットもの電力を散逸する。或る場合には、パッケージング技術を圧迫する。

【0004】 スwitching処理中に散逸されるエネルギー量は低速度で論理スイッチングを行うことにより低減させることができる。これは断熱スイッチングとして知られている。この断熱スイッチングは信号エネルギーを循環し、エネルギーを節約し、そして、その他の情報を表示するためにそのエネルギーを後で再使用する。重要なことは、回路の動作速度が遅くなればなるほど、スイッチング処理中に散逸されるエネルギー量も小さくなる。

【0005】 例えば、図7は従来技術のCMOSインバータを示す。このCMOSインバータは $n\text{fet}$ と直列な $p\text{fet}$ からなり、各デバイスのドレインは一緒に出力 Y に結合されている。 $n\text{fet}$ は標準的なオフスイッチである。ゲートに電荷が存在しない場合、ソースとドレイン間は接続されない。電荷がゲートに存在すると、ソースはドレインと結合される。

【0006】 これと対照的に、 $p\text{fet}$ は標準的なオンスイッチである。ゲートに電荷が存在しない場合、ソースとドレイン間は接続される。電荷がゲートに存在すると、ソース/ドレイン間の接続は切断される。負荷容量 C はインバータが接続されるデバイスのゲート容量を示す。 X が低い場合、 $p\text{fet}$ は Y を電源に接続し、接地から分離する。 X が高い場合、 $n\text{fet}$ は Y を接地に接続し、電源から分離する。従って、このデバイスは論理インバータとして機能する。

【0007】 出力が電圧 V である場合、コンデンサは $Q = CV$ の電荷を有する。コンデンサは $E = 1/2 \cdot CV^2$ の信号エネルギーを蓄える。電源は $QV = CV^2$ のエネルギー量を供給するので、その差の $E_d = 1/2 \cdot CV^2$ は充電処理中に $p\text{fet}$ における熱として放散されなければならない。入力が1に戻る場合、負荷容量は接地にまで放電される。この時点で $n\text{fet}$ 内の信号エネルギーは消失する。従って、全体的なスイッチンググループ内で散逸された全エネルギーは CV^2 である。

【0008】 図8(A)～(E)を参照する。図8(A)はRC回路を示す。ここで、抵抗 R は使用可能にされたMOSデバイスを示す。初めに、 β_1 および $V_{0.1}$ は両方とも低電位である。 β_1 は図8(B)に示されたネットワークに階段関数を作用させ、 $V_{0.1}$ は指数関数的に応答する。

【0009】 $t = 0^-$ において、全電圧が抵抗 R の両端に印加される。散逸されるエネルギーは、 $E_0 = 1/2 \cdot CV^2$ である。図8(C)に示されるように、ステップ(階段)が2個の半ステップに分割される場合、散逸されるエネルギーは $E_0 = 1/4 \cdot CV^2$ である。駆動倍

号の階段関数が一層小さなステップサイズに分割される場合、抵抗内で散逸されるエネルギーも小さくなる。

【0010】図8(B)および図8(C)における最終電圧は同一であるが、図8(C)よりも長い期間が必要である。図8(D)において、ステップはさらに細分され、極限的な状態では、波形は図8(E)で示される。図8(E)の場合の散逸エネルギーは $(2RC/T)(1/2 \cdot CV^2)$ で示される。TがRC時定数よりも大きくなるにつれて、抵抗内で散逸されるエネルギーは顕著に低下させることができる。

【0011】従って、従来技術では、散逸媒体によるエネルギーの転送は、この転送が十分に緩慢に行われる場合、少量のエネルギーしか散逸しない。従来技術の“ホットクロックnMOS”と呼ばれる設計は、この原理をMOS回路に適用し、次の2つのルールに従う。(1) MOS回路間の電位がゼロでなければ、スイッチ(MOSデバイス)は使用不能にならない。(2) MOS回路内を電流が流れる場合、スイッチは使用可能にはならない。MOS回路の設計においてこれらのルールに従うことにより、超低散逸電力回路を作製することができる。さらに、DC/DCコンバータも従来技術におけるこれらの設計ルールに従う。

【0012】

【発明が解決しようとする課題】従って、本発明の目的は、使用するデバイス総数を低くすることができ、場合により多重出力を与えると同時に、準静的抵抗散逸(quasi-static resistive dissipation)を使用することにより、断熱的挙動を示すことができるCMOS論理回路を提供することである。

【0013】

【課題を解決するための手段】前記課題を解決するために、本発明は、準静的抵抗散逸を示すためにCMOS回路を使用可能にする回路を提供する。この回路は、クロック入力信号と直列に結合されたスイッチングダイオードからなる。本発明によれば、一対のダイオードは一対の入力クロックと結合される。各入力クロックは、相補的な形で他のものと位相が 180° ずれる。また、本発明によれば、一対のダイオードはCMOS回路に結合されるが、この場合、入力クロックの一つの位相だけが回路の駆動に使用される。いずれの場合でも、CMOS回路は準静的抵抗散逸を示し、従って、断熱的に挙動する。追加要件は、ゲート間でデータを転送するクロックが必要なことである。

【0014】

【実施例】以下、図面を参照しながら本発明を具体的に説明する。

【0015】下記の実施例の説明において、 C_x は C_x と同じものを意味するものと理解される。

【0016】断熱的に動作されるCMOS回路に電力を供給するために使用されるクロックと結合されたダイオ

ードの実現について以下詳細に説明する。本発明によれば、一対のダイオードが一対のクロック信号と共に使用される。ここで、このクロック信号は相互に位相が 180° ずれている。図1(A)および図1(B)を参照する。

【0017】これらの図は、入力信号INを断熱的に出力ノードOUTにシフトさせるためのCMOSインバータ回路を示す。図1(B)のタイミング図を参照する。

INは論理1であり、 C_1 は上がり、 C_1 は下がる(環で囲まれた区域1に対応する)。ここで、信号Aは断熱的に0にまで低下される。これはIN変化の1位相後に起こる。 C_1 および C_1 が変更するとき、入力INは安定である。

【0018】図2および図3は、ゲート間でデータが転送される方法を例証する。適正な転送を保証するために、Aが安定な場合にだけ変化するクロック C_2 および C_2 が導入される。 C_2 が上がり、 C_2 が下がる場合(環で囲まれた区域2に対応する)、中間信号Bは1にまで上昇する。

【0019】同様に、 C_1 が上がり、 C_1 が下がる場合(環で囲まれた区域3に対応する)、中間信号Dは0にまで低下され、 C_2 が上がり、 C_2 が下がる場合、出力信号OUTは上昇させられる。同じシナリオにより、INの立下りエッジは、回路により断熱的にクロックされ、その結果、OUTはこれらと同期して同様に低下する。生成されたすべての波形(A, B, DおよびOUT)は、遅延および/又は反転を除いて、INと同じ波形を有する。

【0020】波形BおよびOUTはINと同一であるが、偶数個の位相だけ遅延されている。一方、波形AおよびDは逆極性を有し、INから奇数個の位相だけ遅延されている。

【0021】この設計アプローチを使用することにより、図4に示されるようなRAMセルを作製することができる。

【0022】これらのダイオードを使用することにより、多重出力論理演算ゲートを得ることもできる。これは、桁上げ先見加算器のような再帰演算のための面積およびデバイス総数を節約する。

【0023】図5(A)、(B)、(C)はこの多重出力論理設計のデバイス節約を例証する。図5(A)の8-デバイス回路はF(A, B, C)を発生することができる、図5(B)の12-デバイス回路はF(A, B, C, D, E)を発生することができる。

【0024】図5(C)の14-デバイス回路は、F(A, B, C)とF(A, B, C, D, E)の2つの出力を発生することができる。従って、図5(C)のデバイス総数14個の回路によらずに、各回路を単独で実現するとデバイスの総数は20個になるので、6個のデバイスが節約される。さらに、これらのゲートは同様に3

個以上の出力を包含できる。

【0025】図6は、本発明の別の実施例の回路のブロック図である。図6に示されたCMOSゲートは、信号クロック入力を実現することにより、2つの入力A、Bの論理的NAND演算を行う。ここで、一対のダイオードはゲートに結合され、回路は断熱的電力散逸を示す。

【0026】

【発明の効果】以上説明したように、本発明によれば、デバイス総数を節約しながら、準静的抵抗散逸を使用することにより、断熱的挙動を示すことができるCMOS論理回路が得られる。

【図面の簡単な説明】

【図1】(A)は本発明による単一ゲートのブロック図であり、(B)はこのゲートの模式的なタイミング図である。

【図2】断熱的なスイッチング挙動を示す4相CMOSシフトレジスタのブロック図である。

【図3】図2の回路の動作の一例のタイミング図であ

る。

【図4】本発明によるRAMセルの一例のブロック図である。

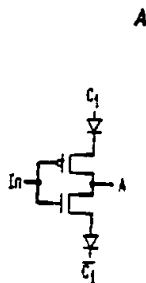
【図5】(A)は本発明による多重出力回路の一例のブロック図であり、(B)は本発明による多重出力回路の別の例のブロック図であり、(C)は本発明による多重出力回路の他の例のブロック図である。

【図6】本発明により改変されたCMOSNANDゲートのブロック図である。

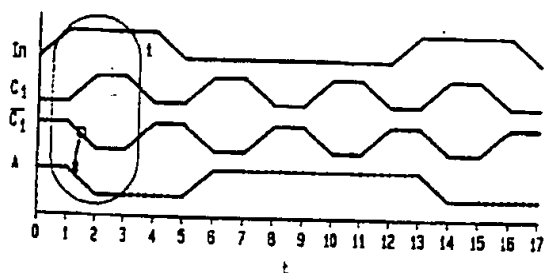
【図7】断熱的スイッチング挙動を示すことができる従来技術のCMOSインバータのブロック図である。

【図8】(A)はRC回路の一例のブロック図であり、(B)は入力階段関数に対する出力応答の一例の模式図であり、(C)は入力階段関数に対する出力応答の別の例の模式図であり、(D)は入力階段関数に対する出力応答の他の例の模式図であり、(E)は入力階段関数に対する出力応答のさらに他の例の模式図である。

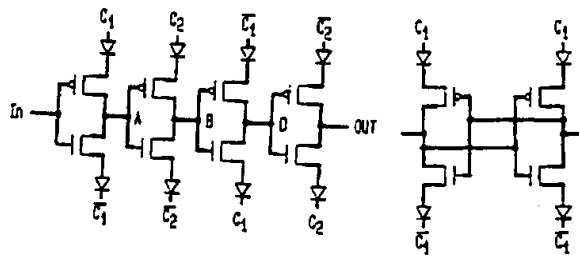
【図1】



B

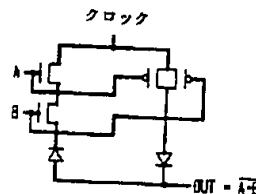


【図2】



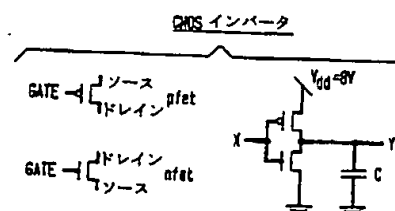
【図4】

【図6】

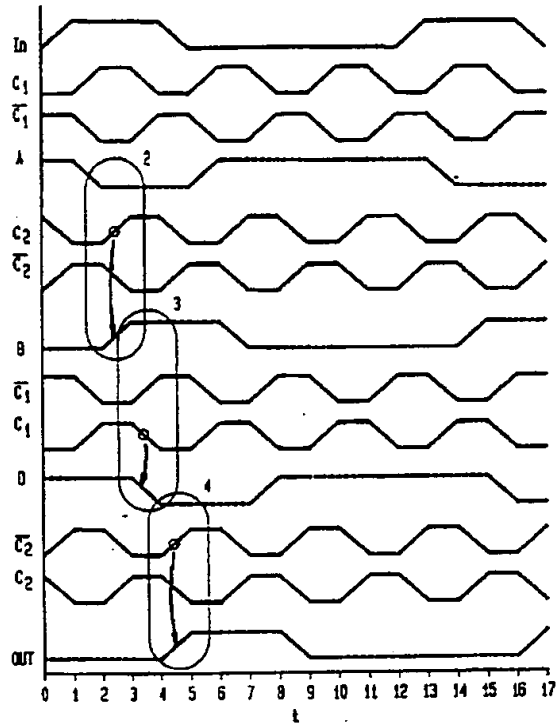


【図7】

(従来技術)



【図3】



【図5】

